

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02718383      \*\*Image available\*\*

THIN FILM TRANSISTOR

PUB. NO.:      **01-015983** [JP 1015983 A]

PUBLISHED:      January 19, 1989 (19890119)

INVENTOR(s): MORI KOJI

WATANABE HIROBUMI

ABE SHUYA

NABESHIMA REIKO

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP  
(Japan)

RICOH RES INST OF GEN ELECTRON [488199] (A Japanese Company  
or Corporation), JP (Japan)

APPL. NO.:      62-172692 [JP 87172692]

FILED:      July 09, 1987 (19870709)

INTL CLASS:      [4] H01L-029/78; H01L-027/12

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL:      Section: E, Section No. 754, Vol. 13, No. 195, Pg. 64, May  
10, 1989 (19890510)

#### ABSTRACT

**PURPOSE:** To obtain a TFT wherein effective and uniform H(sub 2) treatment of an active layer is enabled without necessitating other process, and high mobility and high speed driving are possible, by a method wherein the active layer on an insulating layer is formed by diffusing hydrogen in the insulating layer by heating at the time of forming a transistor.

**CONSTITUTION:** On a substrate 1, the following are laminated in order; an insulating layer 2 containing H, an active layer 3, a gate oxide film 4 and a gate electrode 5. Then an interlayer insulating film 6 is stacked, and a metal wiring 7 is arranged to constitute a TFT. For the insulator layer 2 containing H, Si system insulator such as Si:N:H, SiC:H, SiN:H Si:O:H, etc., is used. Besides the above one, Al(sub 2)O(sub 3) or B(sub 2)O(sub 3) system insulator containing H or H atom as OH radical is preferably used. At the time of high temperature heating in the process of, e.g., forming the active layer 3, forming the gate oxide film 4, forming the gate electrode 5, etc., H in the insulator layer 2 containing H diffuses into the active layer 3, and passivate the active layer.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8536583

Basic Patent (No,Kind,Date): JP 1015983 A2 890119 <No. of Patents: 001>

THIN FILM TRANSISTOR (English)

Patent Assignee: RICOH KK; RICOH GEN ELECTRON RES INST

Author (Inventor): MORI KOJI; WATANABE HIROBUMI; ABE SHUYA; NABESHIMA REIKO

IPC: \*H01L-029/78; H01L-027/12

Derwent WPI Acc No: C 89-064561

JAPIO Reference No: 130195E000064

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 1015983</b>	A2	890119	JP 87172692	A	870709 (BASIC)

Priority Data (No,Kind,Date):

JP 87172692 A 870709

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-15983

⑬ Int.Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

3 1 1

庁内整理番号

Y-7925-5F  
7514-5F

⑭ 公開 昭和64年(1989)1月19日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-172692

⑰ 出 願 昭62(1987)7月9日

⑱ 発 明 者 森 孝 二 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ⑱ 発 明 者 渡 辺 博 文 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ⑱ 発 明 者 阿 部 修 也 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内  
 ⑱ 発 明 者 鍋 島 玲 子 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号  
 ⑲ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1 株式会社  
 ⑳ 代 理 人 弁理士 佐田 守雄 外1名

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

1. MOS型薄膜トランジスタにおいて、基体上に水素を含む絶縁層が形成され、この絶縁層上にトランジスタが形成されてなり、絶縁層上の活性層がトランジスタ形成時の加熱により絶縁層中の水素が拡散されたものであることを特徴とする薄膜トランジスタ。

## 3. 発明の詳細な説明

## 〔技術分野〕

本発明はpoly-Si層等の活性層を水素でパッシベートした薄膜トランジスタに関する。

## 〔従来技術〕

一般に、各種センサー駆動回路等に使用される薄膜トランジスタ(以下、TFETという)はその高速応答性が最も重要である。そのためにはTFETの活性層における電子移動度を上げ、トランジスタの応答時間を短縮する必要がある。

この電子移動度は活性層がpoly-Siで形成される場合にはpoly-Si層の結晶粒界に大きな影響を受けるものであることが知られている。従来から活性層をH<sub>2</sub>処理するための種々の試みが行われている。例えば、(a) H<sub>2</sub>プラズマによるH<sup>+</sup>(あるいはH原子)のターミネーション効果を利用したものがあるが、デバイスの最終工程でH<sub>2</sub>処理を行うものであるため、層間絶縁膜、ゲートpoly-Si、ゲート酸化膜、poly-Si活性層の少なくとも4層をHが通過するようにする必要があり、各層の膜厚、膜質のバラツキがH<sub>2</sub>処理の効果をバラツカせる結果、デバイス特性をバラツカせるという問題点を有する。(b) H<sup>+</sup>イオンのイオン注入によるパッシベーションも可能であるが、H<sub>2</sub>プラズマ処理と効果は同程度であるものの、コストアップになり現実性に乏しいものである。(c) H<sub>2</sub>処理の別の方法としては最終的パッシベーション層としてSi:N:H層をPCVD法により形成する際に、成膜工程で発生するH<sup>+</sup>あるいは

はH原子を利用して結晶粒界をターミネートする方法があるが、この方法はパッシベーション膜としてのSi:N:Hの形成とH<sub>2</sub>処理を併用している利点はあるものの(a)と同様の問題点を有するものである。

#### 【目 的】

本発明は上記したような従来の問題点を解消し、別工程を付加することなく活性層をパッシベーションした構造を有するTFTを提供することを目的とするものである。

#### 【構 成】

本発明のTFTは基体上に水素を含む絶縁層が形成され、この絶縁層上にトランジスタが形成されてなり、絶縁層上の活性層がトランジスタ形成時の加熱により絶縁層中の水素が拡散されたものであることを特徴とするものである。

以下に本発明を添付図面を参照して説明する。

第1図は本発明の一実施例に係るTFT構造を示すものである。第1図において、基体1上にHを含む絶縁物層2を積層し、この絶縁物層

2上に活性層3、さらにその上にゲート酸化膜4およびゲート電極5を順次積層し、次いで層間絶縁膜6を積層し、メタル配線7を設けることにより、TFTが構成されている。

このような第1図の構成のものにおいて、Hを含む絶縁物層2に使用される絶縁物としては、Si:N:H、SiC:H、SiN:H、SiO:H等のSi系の絶縁物、あるいはそれ以外にもAl<sub>2</sub>O<sub>3</sub>、B<sub>2</sub>O<sub>3</sub>系でHまたはOH基としてH原子を含むもの等が好ましく適用できる。またそのH濃度は膜厚にもよるが通常は0.1~20 at%の範囲とする。そして膜厚は100Å~5μmとすることが好ましい。

本発明のTFTは上記のように構成されるため、絶縁物層2上に通常的手段でトランジスタを形成する際の、例えば活性層3形成時、ゲート酸化膜4形成時、ゲート電極5形成時等のプロセスにおける高温加熱時にHを含む絶縁物層2中のHが活性層3中に拡散し、活性層をパッシベーションすることになる。

換言すれば、第1図の構成のTFTでは活性層はそのTFT形成完了した時点で既にHを含む絶縁物層2からのHによりH<sub>2</sub>処理が行われた状態となっているものである。

本発明におけるHを含む絶縁物層2は基体1のパッシベーション膜としても作用し、Na<sup>+</sup>イオンを多量に含むガラス、セラミック等のNa<sup>+</sup>イオンが可動イオンとして活性層中へ混入することを防止する保護層の役目も有している。

なお、本発明における活性層としては代表的にはpoly-Si層とし、このSi結晶粒界へのH<sub>2</sub>処理によりSi結晶粒界による電子移動度の遅れを防止することができるが、活性層としてpoly-Si以外にもα-Si、レーザーアニールSi系材料、あるいはGaAs系III-V族、CdS、CdTe系II-VI族半導体でもH<sub>2</sub>処理の効果が確認されている。従って、その上になるゲート酸化膜4、ゲート電極5は活性層の種類に応じて変えられることはもちろんである。

次に、poly-Si活性層を例にとり、本発明の

TFTを製造する場合の一例を説明する。

#### (1) 絶縁物(Si:N:H)形成条件

SiH<sub>4</sub>: 100cc, NH<sub>3</sub>: 300cc,  
350℃, 1Torr, 1μm

#### (2) poly-Si活性層

SiH<sub>4</sub>: 25cc, N<sub>2</sub>: 120cc,  
620℃, 0.12Torr, 5000Å

#### (3) ゲート酸化膜

O<sub>2</sub>: 3 l/min, 1000℃, 1500Å

#### (4) ゲートpoly-Si電極

SiH<sub>4</sub>: 25cc, N<sub>2</sub>: 120cc,  
620℃, 0.12Torr, 5000Å

#### (5) 層間絶縁膜

SiH<sub>4</sub>: 30cc, O<sub>2</sub>: 120cc,  
400℃, 0.2Torr, 5000Å

#### 【効 果】

以上のような本発明によれば、別工程を要することなく活性層を有効かつ均一にH<sub>2</sub>処理でき、高移動度、高速駆動の可能なTFTが得られるという効果を有する。

4. 図面 簡単な説明

第1図は本発明に係るTFTの一例を示す概略説明図である。

- |         |            |
|---------|------------|
| 1…基体    | 2…Hを含む絶縁物層 |
| 3…活性層   | 4…ゲート酸化膜   |
| 5…ゲート電極 | 6…層間絶縁膜    |
| 7…メタル配線 |            |

特許出願人 株式会社リコー

外1名

代理人 弁理士 佐田 守 雄

外1名



第1図

